

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Young Ho PARK et al. : Confirmation No. *Not yet assigned*
U.S. Patent Application No. *Not yet assigned* : Group Art Unit: *Not yet assigned*
Filed: *Herewith* : Examiner: *Not yet assigned*

For: METHOD FOR MANUFACTURING GALLIUM NITRIDE-BASED
SEMICONDUCTOR LIGHT EMITTING DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of *Korean Patent Application No. 2003-41173, filed June 24, 2003*. The certified copy is submitted herewith.

Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP

Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111 BJH/etp
Facsimile: (703) 518-5499
Date: December 16, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

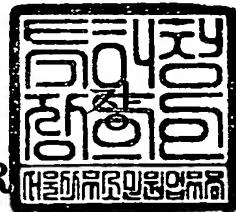
출 원 번 호 : 10-2003-0041173
Application Number

출 원 년 월 일 : 2003년 06월 24일
Date of Application JUN 24, 2003

출 원 인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 10 월 20 일



특 허 청

COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.06.24
【국제특허분류】	H01L 35/00
【발명의 명칭】	질화갈륨계 반도체 발광소자의 제조방법
【발명의 영문명칭】	METHOD OF PRODUCING A GaAs BASED SEMICONDUCTOR LED DEVICE
【출원인】	
【명칭】	삼성전기 주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【성명】	손원
【대리인코드】	9-1998-000281-5
【포괄위임등록번호】	2002-047982-8
【대리인】	
【성명】	노세호
【대리인코드】	9-2001-000043-1
【포괄위임등록번호】	2002-047988-1
【발명자】	
【성명의 국문표기】	박영호
【성명의 영문표기】	PARK, Young Ho
【주민등록번호】	690815-1224227
【우편번호】	442-380
【주소】	경기도 수원시 팔달구 원천동 원천주공아파트 103-408
【국적】	KR
【발명자】	
【성명의 국문표기】	함현주
【성명의 영문표기】	HAHM, Hun Joo
【주민등록번호】	651202-1009425

【우편번호】 463-480
【주소】 경기도 성남시 분당구 금곡동 청솔주공아파트 508-303
【국적】 KR
【발명자】
【성명의 국문표기】 이수민
【성명의 영문표기】 LEE,Soo Min
【주민등록번호】 720609-1030811
【우편번호】 133-806
【주소】 서울특별시 성동구 금호동3가 863 연립주택 103호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
손원 (인) 대리인
노세호 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 2 면 2,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 8 항 365,000 원
【합계】 396,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 질화갈륨계 반도체 발광소자에 관한 것으로서, 기판 상면에 제1 도전형 클래드층, 활성층 및 제2 도전형 클래드층을 순차적으로 형성하는 단계와, 상기 제2 도전형 클래드층 상면에 투명전극을 형성하는 단계와, 상기 투명전극 상면에 일측영역이 개방된 포토레지스트를 형성하는 단계와, 상기 개방된 일측영역에 해당하는 상기 투명전극, 상기 제2 도전형 클래드층 및 상기 활성층을 제거하여 상기 제1 도전형 클래드층을 노출시키는 단계와, 상기 포토레지스트를 제거하는 단계와, 상기 투명전극과 상기 제2 도전형 클래드층의 소정의 영역에 각각 제1 및 제2 본딩전극을 형성하는 단계를 포함하는 질화갈륨계 반도체 발광소자의 제조방법을 제공한다.

본 발명에 따르면, 전체 공정을 단순화시킬 뿐만 아니라, ESD방지에 적합한 투명전극의 패턴을 오버에칭을 통해 용이하게 형성할 수 있으며 포토레지스트의 잔류물에 의한 투명전극의 밀착력 저하를 방지할 수 있다.

【대표도】

도 3

【색인어】

질화갈륨계 반도체 발광소자(GaAs based semiconductor light emitting diode), 투명전극(transparent electrode), 포토레지스트(photoresist)

【명세서】**【발명의 명칭】**

질화갈륨계 반도체 발광소자의 제조방법{METHOD OF PRODUCING A GaAs BASED SEMICONDUCTOR LED DEVICE}

【도면의 간단한 설명】

도1은 종래의 반도체 발광소자 제조방법을 나타내는 공정단면도이다.

도2는 종래의 반도체 발광소자 제조방법 중 페이시베이션공정을 나타내는 공정단면도이다.

도3은 본 발명에 따른 발광소자 제조방법을 나타내는 공정단면도이다.

<도면의 주요부분에 대한 부호설명>

31: 사파이어 기판 33: 제1 도전형 클래드층

35: 활성층 37: 제2 도전형 클래드층

38: 투명전극 39a,39b: 본딩금속

40: 페시베이션층 41,42: 포토레지스트

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체 발광소자의 제조방법에 관한 것으로서, 보다 상세하게는 전극 및 메사 구조형성과정을 통합하여 단순화함으로써 포토레지스트 및 리소그래피공정의 횟수를 감소시키면서도 전극의 밀착력을 향상시킬 수 있는 반도체 발광소자 제조방법에 관한 것이다.
- <10> 근래에, 질화갈륨(GaN)계 화합물 반도체를 이용하여 청색, 녹색 및 자외선을 방출할 수 있는 발광소자가 개발되면서 풀컬러 구현이 가능해졌다.
- <11> 이러한 질화갈륨계 화합물 반도체결정은 사파이어 기판와 같은 절연성 기판 상에서 성장될 수 있으므로, GaAs계 발광소자와 같이 기판의 배면에 전극을 설치할 수 없다. 따라서, 두 전극 모두를 결정성장된 반도체층측에 형성해야 한다.
- <12> 이를 위해서, 하부 클래드층의 상면일부가 노출되도록 상부 클래드층과 활성층의 일부 영역을 제거한 메사구조를 형성해야 하는 공정이 요구된다.
- <13> 또한, 상부 클래드층으로 형성된 p형 GaN층은 상대적으로 높은 저항을 갖고 있으므로, 통상의 전극으로 오믹콘택을 형성할 수 있는 추가적인 층이 요구된다. 예를 들어, 미국특허등록 5,563,422호(출원인: 일본 니치아, 등록공고일: 1996.10. 8)에 기재된 바와 같이, p형 GaN 층에 본딩전극을 형성하기 전에, Ni/Au로 구성된 투명전극을 형성하여 오믹콘택을 형성함으로

써 순방향 전압(V_f)를 낮추게 된다. 이러한 투명전극으로는 ITO(Indium Titanium Oxide)막이 사용될 수도 있다.

<14> 이와 같이, 질화갈륨계 반도체 발광소자는 성장기판의 절연성으로 인해, 메사형성공정 및 전극형성공정이 복잡하게 구현되며, 이를 위해서 요구되는 포토레지스트공정 및 포토레지스트 제거공정, 증착공정 등의 횟수는 증가하게 되는 어려움이 있다. 이러한 공정의 복잡성은 도1a 내지 도1i의 공정예를 통해 확인할 수 있다.

<15> 도1a 내지 도1i는 종래의 질화갈륨계 반도체 발광소자의 제조방법을 나타내는 공정단면도이다.

<16> 도1a와 같이, 반도체 발광소자 제조방법은 사파이어 기판(11)상에 제1 도전형 클래드층(13), 활성층(15) 및 제2 도전형 클래드층(17)을 순차적으로 형성하는 1차 성장공정으로 시작된다. 상기 반도체 결정층(13, 15, 17)은 MOCVD 등의 공정을 이용하여 성장될 수 있다.

<17> 다음으로 도1b 및 도1c에 도시된 바와 같이, 상기 제1 도전형 클래드층(13) 상면에 본딩전극을 형성하기 위해 메사구조를 형성하는 공정을 실시한다. 도1b와 같이 상기 메사구조 형성공정은 상기 제2 도전형 클래드층(15) 상면의 일부영역에 에칭될 영역을 제외하고 포토레지스트(21)를 형성하는 공정으로 시작된다.

<18> 이어, 도1c와 같이, 상기 제1 도전형 클래드층(13)의 일부가 노출되도록 상기 제2 도전형 클래드층(17)과 상기 활성층(15)의 일부영역을 에칭하여 제거함으로써 메사구조를 형성한다.

<19> 도1d와 같이, 메사형성을 위한 포토레지스트(21)를 제거한 후에, 다시 투명전극을 형성하기 위한 포토레지스트(22)를 형성한다. 상기 포토레지스트(22)에 의해 노출된 제2 도전형 클래드층(17)의 상면부분은 전체 상면보다 다소 작게 마련하여 제2 도전형 클래드층(17)의 모서리에 형성될 전극이 인접하지 않도록 한다.

<20> 다음으로, 도1e와 같이 상기 포토레지스트(22)를 이용하여 제2 도전형 클래드층(17) 상면의 소정영역에 투명전극(18)을 형성한다.

<21> 이어, 도1f 내지 도1i와 같이, 상기 투명전극(18)의 소정영역과 제1 도전형 클래드층(13) 상에 본딩전극(19a, 19b)을 형성하는 공정을 수행한다. 우선 도1f와 같이 제1 본딩전극을 형성하기 위해 제1 도전형 클래드층(13)의 일부영역이 노출되도록 포토레지스트(23)를 형성하고, 도1g와 같이 제1 본딩전극(19a)을 형성한 후에 포토레지스트를 제거한다. 이와 유사하게, 도1h와 같이 제2 본딩전극을 형성하기 위해 투명전극(18)의 일부영역이 노출되도록 포토레지스트(24)를 형성하고, 도1g와 같이 제2 본딩전극(19b)을 형성한 후에 포토레지스트(24)를 제거한다.

<22> 이와 같이, 질화갈륨계 반도체 발광소자를 제조하기 위해서는 메사구조 형성, 투명전극 형성과, 제1 및 제2 본딩전극형성공정에 각각 한번씩 총 4회의 포토레지스트공정 및 그 제거공정이 수반된다. 또한, 각각 공정은 별도의 증착공정을 수반하여 공정이 복잡해진다. 추가적으로 실제 반도체 발광소자는 폐시베이션층 형성공정이 수반되므로, 도2a 내지 2c에 도시된 바와 같이, 1회 포토레지스트 공정 및 그 제거공정이 요구된다.

<23> 통상의 반도체 발광소자의 페시베이션층 형성공정은 도2a와 같이 도1i에서 얻어진 발광 구조물 상면 전체에 SiO₂ 또는 SiN과 같은 페시베이션층(20)을 형성하고, 도2b와 같이 본딩전극(19a, 19b)부분이 노출된 포토레지스트(25)를 형성한 후에 에칭을 통해 페시베이션층(20)을 선택적으로 제거하여 본딩전극(19a, 19b)을 노출시킨다.

<24> 결과적으로, 질화갈륨계 반도체 발광소자를 완성하기 위해서는, 5회의 포토레지스트형성 공정 및 이를 제거하고 세척하는 공정이 요구된다. 이러한 포토레지스트의 공정횟수 증가는 공정자체를 복잡하게 할 뿐만 아니라, 포토레지스트 제거 후에 이를질이 잔류할 위험이 커지고, 이러한 잔류물로 인해 증착공정시에 형성된 전극 특성이 저하되는 경우도 발생된다.

<25> 또한, 전극특성의 향상을 위해 제1 및 제2 본딩전극을 다른 재료를 이용하여 별도의 공정을 통해 제조해야 하므로, 이에 따라 전극형성을 위한 금속증착공정의 횟수도 증가하여 전체 공정이 복잡해지는 문제가 있어 왔다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명은 상술한 기술적 문제를 해결하기 위한 것으로서, 그 목적은 메사구조형성공정과 투명전극형성공정을 단일화하고, 전극형성공정을 하나의 포토레지스트공정을 통해 구현함으로써 전체 공정이 단순화되면서도 우수한 특성을 갖는 질화갈륨계 반도체 발광소자를 제조할 수 있는 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<27> 상기한 기술적 과제를 달성하기 위해서, 본 발명의 일 관점에서는,

<28> 기판 상면에 제1 도전형 클래드층, 활성층 및 제2 도전형 클래드층을 순차적으로 형성하는 단계와, 상기 제2 도전형 클래드층 상면에 투명전극을 형성하는 단계와, 상기 투명전극 상면에 일측영역이 개방된 포토레지스트를 형성하는 단계와, 상기 개방된 일측영역에 해당하는 상기 투명전극, 상기 제2 도전형 클래드층 및 상기 활성층을 제거하여 상기 제1 도전형 클래드층을 노출시키는 단계와, 상기 포토레지스트를 제거하는 단계와, 상기 투명전극과 상기 제2 도전형 클래드층의 소정의 영역에 각각 제1 및 제2 본딩전극을 형성하는 단계를 포함하는 질화갈륨계 반도체 발광소자의 제조방법을 제공한다.

<29> 바람직하게, 상기 제1 도전형 클래드층을 노출시키는 단계는, 상기 개방된 일측영역에 해당하는 상기 투명전극을 습식에칭하는 단계와, 상기 개방된 일측영역에 해당하는 상기 제1 도전형 클래드층 및 상기 활성층을 건식에칭하는 단계로 구현될 수 있다.

<30> 상기 실시형태에서, 상기 투명전극을 습식에칭하는 단계는, 상기 포토레지스트 하부의 투명전극이 소정의 폭으로 언더컷되도록 상기 투명전극을 오버에칭할 수 있다. 이 때에, 상기 투명전극의 언더컷된 폭은 적어도 $3\mu\text{m}$ 인 것이 바람직하다.

<31> 또한, 본 발명의 다른 관점에서는, 제1 본딩전극 및 제2 본딩전극의 형성공정 및 페시베이션층형성공정을 단일한 포토레지스트를 이용하여 동시에 구현할 수 있는 방법을 제공한다. 상기 방법은, 기판 상면에 형성된 제1 도전형 클래드층과, 상기 제1 도전형 클래드층의 일측영역에 순차적으로 형성된 활성층, 제2 도전형 클래드층 및 투명전극을 포함한 발광구조물을 형성하는 단계와, 상기 발광구조물 상면 전체에 페시베이션층을 형성하는 단계와, 상기 페시베이-

션층 상에 제1 및 제2 전극이 형성될 영역이 개방된 포토레지스트를 형성하는 단계와, 상기 개방된 영역의 페이시베이션층을 에칭하여 제거하는 단계와, 상기 페이시베이션층이 제거된 영역에 제1 및 제2 본딩전극을 형성하는 단계와, 상기 포토레지스트를 제거하는 단계를 포함한다.

<32> 이 경우에, 상기 제1 및 제2 본딩전극은 Ti/Al, Cr/Au, Cr/Ni/Au, Cr/Pt/Au, Ti/Al/Ni/Au으로 구성된 그룹으로부터 선택된 물질로 동시에 형성함으로써 두 본딩전극을 다른 물질로 형성할 때와 거의 유사한 수준의 특성을 갖는 발광소자를 제공할 수 있다.

<33> 본 발명의 상기 두 관점에 따른 실시형태는 하나의 실시형태로 결합되어 제공될 수도 있다.

<34> 상기한 두 관점이 결합된 실시형태에 따른 질화갈륨계 반도체 발광소자 제조방법은, 기판 상면에 제1 도전형 클래드층, 활성층 및 제2 도전형 클래드층을 순차적으로 형성하는 단계와, 상기 제2 도전형 클래드층 상면에 투명전극을 형성하는 단계와, 상기 투명전극 상면에 일측영역이 개방된 포토레지스트를 형성하는 단계와, 상기 개방된 일측영역에 해당하는 투명전극, 제2 도전형 클래드층 및 활성층을 에칭하여 상기 제1 도전형 클래드층의 일부를 노출시키는 단계와, 상기 발광구조물 상면 전체에 페이시베이션층을 형성하는 단계와, 상기 페이시베이션층 상에 제1 및 제2 본딩전극이 형성될 영역이 개방된 포토레지스트를 형성하는 단계와, 상기 개방된 영역에 해당하는 페이시베이션층이 제거되도록 에칭하는 단계와, 상기 페이시베이션층이 제거된 영역에 제1 및 제2 본딩전극을 형성하는 단계와, 상기 포토레지스트를 제거하는 단계로 이루어진다.

- <35> 이하, 첨부된 도면을 참조하여 본 발명의 실시형태를 상세히 설명하기로 한다.
- <36> 도3a 내지 3f는 본 발명의 바람직한 실시형태에 따른 질화갈륨계 반도체 발광소자의 제조방법을 설명하기 위한 공정단면도이다.
- <37> 우선, 도3a와 같이 반도체 발광소자 제조방법은 GaN결정성장용 기판인 사파이어 기판(31)상에 제1 도전형 클래드층(33), 활성층(35) 및 제2 도전형 클래드층(37)을 순차적으로 형성하는 1차 성장공정으로 시작된다.
- <38> 상기 반도체 결정층(33,35,37)은 MOCVD 등의 공정을 이용하여 성장될 수 있으며, 제1 도전형 클래드층(33)을 성장하기 전에 사파이어 기판(31)과의 격자정합을 향상시키기 위해, AlN/GaN와 같은 베퍼층(미도시)을 미리 형성할 수도 있다. 또한, 상기 제1 도전형 클래드층(33)은 n형 GaN과 n형 AlGaN으로 형성될 수 있으며, 상기 제2 도전형 클래드층(37)은 p형 GaN과 p형 AlGaN으로 형성될 수 있다. 상기 활성층(35)은 다중양자우물(Multi-Quantum Well)구조의 언도프 InGaN층으로 구성될 수 있다.
- <39> 다음으로, 도3b와 같이 상기 제2 도전형 클래드층(37) 상면 전체에 투명전극층(38)을 형성하고, 상기 투명전극(38)의 일측단영역이 개방되도록 포토레지스트(41)를 형성한다. 상기 투명전극층(38)은 Ni/Au합금으로도 구성될 수 있으나, 바람직하게는 ITO(Indium Titanium Oxide)층으로 구성될 수 있다. 상기 포토레지스트(41)에 의해 개방된 영역은 메사구조를 형성하는 후 속 에칭공정에서 제1 도전형 클래드층을 노출시키기 위해 제거될 영역을 특정한다.

<40> 이어, 도3c와 같이, 상기 포토레지스트(41)에 의해 개방된 영역에 해당하는 상기 제2 도전형 클래드층(37) 및 활성층(35)을 제거하여 제1 도전형 클래드층(33)의 일부영역을 노출시킴으로써 전체 발광구조물을 메사구조로 형성한다. 상기 제1 도전형 클래드층(33)을 노출시키기 위해, 상기 제2 도전형 클래드층(37)과 활성층(35)을 제거하는 과정에서 도시되는 바와 같이 상기 제1 도전형 클래드층(33)의 일부도 제거될 수 있다.

<41> 상기 메사형성공정은 개방된 영역의 투명전극(38)을 제거하기 위한 1차 에칭공정과 반도체 결정체인 제2 도전형 클래드층(37) 및 활성층(35)을 제거하기 위한 2차 에칭공정으로 수행되며, 상기 1차 에칭공정은 습식에칭공정으로 실시되며, 상기 2차 에칭공정은 건식에칭공정으로 실시될 수 있다.

<42> 이와 같이, 본 발명은 종래의 질화갈륨계 발광소자의 제조방법에서 메사구조의 형성공정과 투명전극의 형성공정과 같이 2개의 포토레지스트(도1의 21,22)를 이용하여 구현되던 공정을 하나의 포토레지스트(41)를 이용하여 구현할 수 있도록 개선되었다. 이러한 포토레지스트 형성공정의 단일화를 통해, 포토레지스트형성공정에 필연적으로 수반되는 포토레지스트 제거공정 및 세척공정의 횟수를 감소시킬 수 있다. 특히, ITO막으로 이루어진 투명전극인 경우에는 종래의 공정에서보다 투명전극이 초기(즉, 메사구조를 위한 에칭전)에 형성되므로, 후속공정에서 노출되는 과정에서 투과성 향상을 위해 요구되는 충분한 산화과정을 겪을 수 있는 부수적인 잇점도 있다.

<43> 최종적으로 형성되는 투명전극이 제2 도전형 클래드층의 모서리와 일정 간격으로 이격되도록 형성하기 위해서, 종래의 공정에서는 투명전극 형성공정과 메사구조 형성공정에 다른 포토레지스트를 사용하였다. 일반적으로 제2 도전형 클래드층의 각진 모서리부분에서 정전기방전에 대한 취약성을 갖고 있으므로, 그 부분으로 전류주입을 억제하기 위해서 투명전극을 제2 도전형 클래드층의 모서리부분과 이격되도록 형성해야 한다. 따라서, 메사구조 형성을 위한 포토레지스트와 별도로 투명전극 형성을 위한 포토레지스트를 사용하였다.

<44> 하지만, 본 발명에서는 투명전극(38)패턴을 정의하기 위한 포토레지스트와 메사구조형성을 위한 포토레지스트를 하나의 포토레지스트(41)를 구현하면서도, 도1c에 도시된 바와 같이 상기 투명전극(38)의 일부를 제거하기 위한 습식에칭공정을 상기 포토레지스트(41) 하부에 있는 투명전극(38)이 소정의 폭(d)으로 언더컷되도록 오버에칭을 실시함으로써, 최종적인 투명전극(38)이 제2 도전형 클래드층(37)의 모서리와 소정의 간격(d)으로 이격되도록 형성할 수 있다. 이 때에, 상기 언더컷된 소정의 폭(d)은 정전기방전을 방지하기 위해서 적어도 $3\mu m$ 이 되도록 한다.

<45> 이어, 도3d 내지 도3f에는, 본 발명에 채택되는 페시베이션층 형성을 위한 공정과 본딩전극형성공정을 하나의 포토레지스트를 이용하여 형성하는 방법이 도시되어 있다.

<46> 우선, 도3d에 도시된 바와 같이 도3c에서 얻어진 발광구조물 상면 전체, 즉 투명전극(38)이 형성된 제2 도전형 클래드층(37)과 제1 도전형 클래드층(35)의 노출된 영역 전체에 페시베이션층(40)을 형성한다. 당업자에게 자명한 바와 같이 페이시베이션층(40)은 SiO_2 및 SiN 과 같은 물질로 형성할 수 있다.

- <47> 이어, 도3e와 같이 상기 폐시베이션층(40) 상에 본딩전극을 형성할 위치가 개방된 포토레지스트(42)를 형성한다. 상기 본딩전극이 형성될 위치는 투명전극(38) 및 제1 도전형 클래드층(33)의 소정영역이 되며, 바람직하게는 먼거리로 대칭되도록 배치한다.
- <48> 다음으로, 상기 포토레지스트(42)를 이용하여 개방된 영역에 해당하는 폐시베이션층(40) 부분을 에칭하여 제거함으로써 투명전극(38)부분과 제1 도전형 클래드층(33)부분을 노출시키고, 그 노출된 부분에 p측의 본딩전극(39a)과 n측의 본딩전극(39b)을 각각 형성하여 도3f와 같은 질화갈륨계 반도체 발광소자를 완성할 수 있다.
- <49> 이와 같이, 본 발명에서는 하나의 포토레지스트(42)를 이용하여 폐시베이션 층 형성공정 및 본딩전극 형성공정을 수행한다. 따라서, 본 발명의 본딩전극 형성 단계에서는 하나의 금속물질로 두 전극(39a, 39b)을 동시에 형성하는 것이 바람직하다. 이러한 전극 형성 물질로는 Ti/AI, Cr/Au, Cr/Ni/Au, Cr/Pt/Au 또는 Ti/AI/Ni/Au이 있을 수 있다.
- <50> 또한, 본 발명에 따른 공정에서는 폐시베이션층(40)을 형성하고 본딩금속 형성을 위한 포토레지스트(42)를 형성하기 때문에, 전극 형성 위치로부터 폐시베이션층(40)이 제거된 후에 포토레지스트가 불완전하게 제거되더라도 그 잔류물이 전극 형성 위치에 거의 존재하지 않게 된다. 따라서, 포토레지스트 잔류물에 의한 본딩전극의 밀착력 약화 문제를 해결할 수 있으며, 공정측면에서 세척 공정을 생략할 수 있도록 있다. 이러한 포토레지스트 잔류물에 의한 종래의 기술적 문제는 도1d 및 도1e와 같이 투명전극 형성 공정에서도 발생될 수 있었으나, 본 발명에서는 도3b와 도3c에 도시되어 설명된 바와 같이, 투명전극을 미리 형성한 후에 포토레지스트를 형성하므로, 포토레지스트의 잔류물로 인한 문제를 해결하고, 투명전극의 밀착력을 향상 시킬 수 있다.

<51> 이와 같이, 본 발명에서 공정의 단순화와 함께 이루어지는 투명전극 및 본딩전극의 밀착력 향상은 소자의 신뢰성 향상에도 기여할 수 있다. 실제로 본딩전극을 각 클래드층의 특성에 맞게 다른 금속을 사용하지 않고, 본 발명과 같이 동일한 Ti/Au 합금으로 형성하더라도, 종래의 발광소자의 특성(20mA에서 순방향전압 3.25V, 광효율 12.2mcd) 거의 유사한 수준(3.29 V, 12.4 mcd)을 가질 수 있었다.

<52> 도3a 내지 도3f에서 설명된 실시형태는 투명전극 형성공정과 메사구조 형성공정을 단일화한 실시형태(도3a 내지 도3c)와, 폐시베이션층 형성공정과 본딩전극 형성공정을 단일화한 실시형태(도3d 내지 도3f)를 결합한 예를 도시하였으나, 앞서 설명된 바와 같이 각각의 실시형태가 분리되어 구현될 수도 있다. 예를 들어, 도3a 내지 도3c에 도시된 실시형태는 종래의 폐시베이션형성공정 및 본딩전극형성공정과 결합되어 사용될 수 있으며, 도3d 내지 도3f에 도시된 실시형태는 종래의 메사구조형성 공정 및 투명전극형성공정과 결합되어 사용될 수 있다.

<53> 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니고, 첨부된 청구범위에 의해 한정하고자 하며, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 자명할 것이다.

【발명의 효과】

<54> 상술한 바와 같이, 본 발명의 질화갈륨계 반도체 발광소자에 따르면, 메사구조형성공정과 투명전극형성공정을 하나의 포토레지스트를 이용하는 공정으로 단순화하고, 페이시베이션 형성공정과 전극형성공정을 하나의 포토레지스트공정을 통해 구현하여 전체 공정을 단순화시킬 뿐만 아니라, ESD방지에 적합한 투명전극의 패턴을 오버에칭을 통해 용이하게 형성할 수 있으며 포토레지스트의 잔류물에 의한 투명전극 및 본딩전극의 밀착력 저하를 방지할 수 있다.

【특허청구범위】**【청구항 1】**

기판 상면에 제1 도전형 클래드층, 활성층 및 제2 도전형 클래드층을 순차적으로 형성하는 단계;

상기 제2 도전형 클래드층 상면에 투명전극을 형성하는 단계;

상기 투명전극 상면에 일측영역이 개방된 포토레지스트를 형성하는 단계;

상기 개방된 일측영역에 해당하는 상기 투명전극, 상기 제2 도전형 클래드층 및 상기 활성층을 제거하여 상기 제1 도전형 클래드층을 노출시키는 단계;

상기 포토레지스트를 제거하는 단계;

상기 투명전극과 상기 제2 도전형 클래드층의 소정의 영역에 각각 제1 및 제2 본딩전극을 형성하는 단계를 포함하는 질화갈륨계 반도체 발광소자의 제조방법.

【청구항 2】

제1항에 있어서,

상기 제1 도전형 클래드층을 노출시키는 단계는, 상기 개방된 일측영역에 해당하는 상기 투명전극을 습식에칭하는 단계와, 상기 개방된 일측영역에 해당하는 상기 제1 도전형 클래드층 및 상기 활성층을 건식에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

【청구항 3】

제2항에 있어서,

상기 투명전극을 습식에칭하는 단계는, 상기 포토레지스트 하부의 투명전극이 소정의 폭으로 언더컷되도록 상기 투명전극을 오버에칭하는 단계인 것을 특징으로 하는 반도체 발광소자의 제조방법.

【청구항 4】

제3항에 있어서,

상기 투명전극의 언더컷된 폭은 적어도 $3\mu\text{m}$ 인 것을 특징으로 하는 반도체 발광소자의 제조방법.

【청구항 5】

제1항에 있어서,

상기 제1 및 제2 본딩전극을 형성하는 단계는,

상기 발광구조물 상면 전체에 폐시베이션층을 형성하는 단계와, 상기 폐시베이션층 상에 제1 및 제2 전극이 형성될 영역이 개방된 포토레지스트를 형성하는 단계와, 상기 개방된 영역의 폐이시베이션층을 에칭하여 제거하는 단계와, 상기 폐시베이션층이 제거된 영역에 제1 및 제2 본딩전극을 형성하는 단계와, 상기 본딩전극형성을 위한 포토레지스트를 제거하는 단계로 이루어진 것을 특징으로 하는 질화갈륨계 반도체 발광소자 제조방법.

【청구항 6】

기판 상면에 형성된 제1 도전형 클래드층과, 상기 제1 도전형 클래드층의 일측영역에 순차적으로 형성된 활성층, 제2 도전형 클래드층 및 투명전극을 포함한 발광구조물을 형성하는 단계;

상기 발광구조물 상면 전체에 폐시베이션층을 형성하는 단계;

상기 폐시베이션층 상에 제1 및 제2 전극이 형성될 영역이 개방된 포토레지스트를 형성하는 단계;

상기 개방된 영역의 폐이시베이션층을 에칭하여 제거하는 단계;

상기 폐시베이션층이 제거된 영역에 제1 및 제2 본딩전극을 형성하는 단계; 및,

상기 포토레지스트를 제거하는 단계를 포함하는 질화갈륨계 반도체 발광소자의 제조방법.

【청구항 7】

제6항에 있어서,

상기 제1 및 제2 본딩전극은 Ti/Al, Cr/Au, Cr/Ni/Au, Cr/Pt/Au, Ti/Al/Ni/Au으로 구성된 그룹으로부터 선택된 물질로 이루어진 것을 특징으로 하는 질화갈륨계 반도체 발광소자의 제조방법.

【청구항 8】

기판 상면에 제1 도전형 클래드층, 활성층 및 제2 도전형 클래드층을 순차적으로 형성하는 단계;

상기 제2 도전형 클래드층 상면에 투명전극을 형성하는 단계;

상기 투명전극 상면에 일측영역이 개방된 포토레지스트를 형성하는 단계;

상기 개방된 일측영역에 해당하는 투명전극, 제2 도전형 클래드층 및 활성층을 에칭하여 상기 제1 도전형 클래드층의 일부를 노출시키는 단계;

상기 발광구조를 상면 전체에 폐시베이션층을 형성하는 단계;

상기 페시베이션층 상에 제1 및 제2 본딩전극이 형성될 영역이 개방된 포토레지스트를 형성하는 단계;

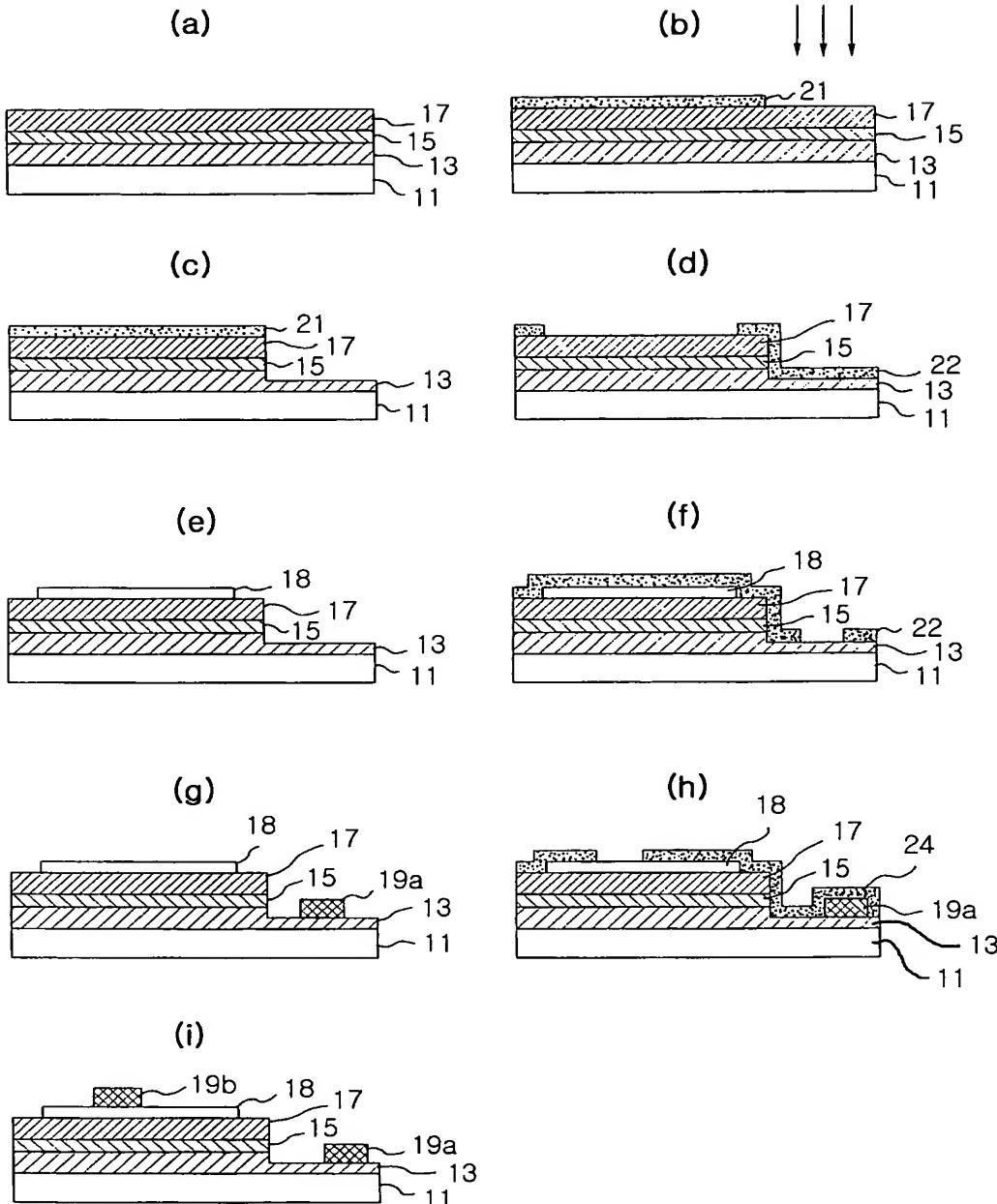
상기 개방된 영역에 해당하는 페이시베이션층이 제거되도록 에칭하는 단계;

상기 페시베이션층이 제거된 영역에 제1 및 제2 본딩전극을 형성하는 단계; 및,

상기 포토레지스트를 제거하는 단계를 포함하는 질화갈륨계 반도체 발광소자의 제조방법

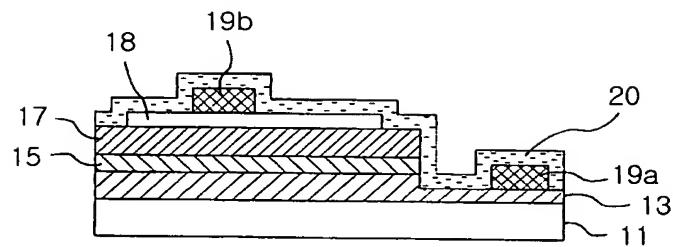
【도면】

【도 1】

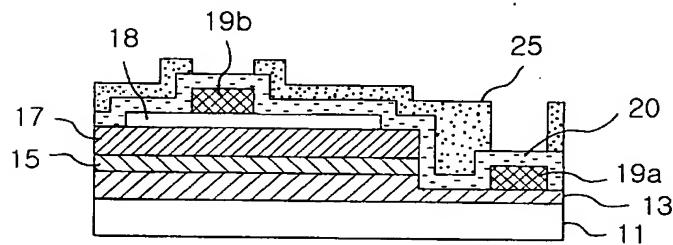


【도 2】

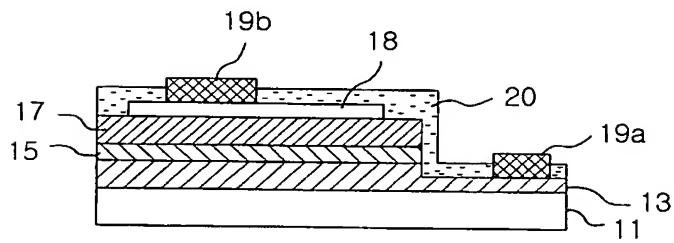
(a)



(b)



(c)



【도 3】

